

SYSTEM AND METHOD FOR MINIMIZING CLOCK SKEW OF INTEGRATED CIRCUIT

Publication number: JP10107065

Publication date: 1998-04-24

Inventor: BOZSO FERENC MIKLOS; EMMA PHILIP GEORGE

Applicant: IBM

Classification:

- International: H01L21/60; G06F1/10; H01L23/52; H01L25/065; H01L25/07; H01L25/18; H01L27/02; H01L21/02; G06F1/10; H01L23/52; H01L25/065; H01L25/07; H01L25/18; H01L27/02; (IPC1-7): H01L21/60; G06F1/10; H01L23/12; H01L23/538

- European: H01L25/065S; H01L27/02B2

Application number: JP19970218390 19970813

Priority number(s): US19960700261 19960820

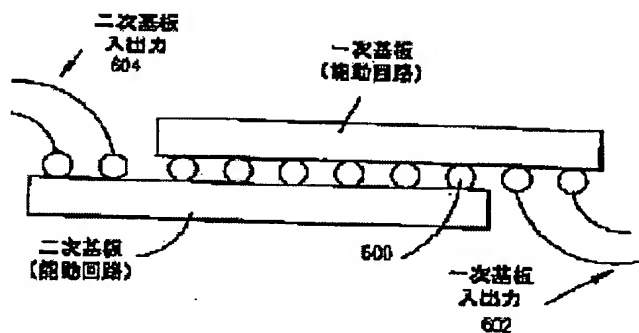
Also published as:

EP0827203 (A2)
US6040203 (A1)
US5760478 (A1)
EP0827203 (A3)
EP0827203 (B1)

Report a data error here

Abstract of JP10107065

PROBLEM TO BE SOLVED: To form a clock distribution network, which is intensively controllable, on a secondary substrate and to make it possible to distribute a clock signal to a primary substrate by a method wherein the primary and secondary substrates are connected with each other in opposition to each other so that I/O pacts on the secondary substrate can be accessed to a connection means on the outside of a system. **SOLUTION:** A primary substrate is a microprocessor chip having not a clock distribution network and the clock distribution network is provided on a secondary substrate. Accordingly, the powers of circuits, which are related to the two systems, are same. In the case where the clock distribution network only is provided on the secondary substrate, the active region of the secondary substrate is very sparse and a redrive node of a clock tree can be ideally arranged on the secondary substrate. The primary substrate and the secondary substrate are of the same degree in size in one form of practive, but the primary substrate is shifted from the secondary substrate via solder balls 600 so that I/O pins 602 for external connection use on the primary substrate and I/O pins 604 for external connection use on the secondary substrate are exposed and the primary substrate is coupled with the secondary substrate. Both of the primary and secondary substrates bear an active circuit.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-107065

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60 3 1 1 Q
G 0 6 F 1/10		G 0 6 F 1/04 3 3 0 A
H 0 1 L 23/12		H 0 1 L 23/12 L
23/538		23/52 A

審査請求 未請求 請求項の数33 O L (全 13 頁)

(21) 出願番号 特願平9-218390

(22) 出願日 平成9年(1997) 8月13日

(31) 優先権主張番号 08/700261

(32) 優先日 1996年8月20日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 フェレンツ・ミクロス・ボツ

アメリカ合衆国10566 ニューヨーク州
ビークスキル ワイルド・バーチ・ファーム
ナンバー24

(74) 代理人 弁理士 坂口 博 (外1名)

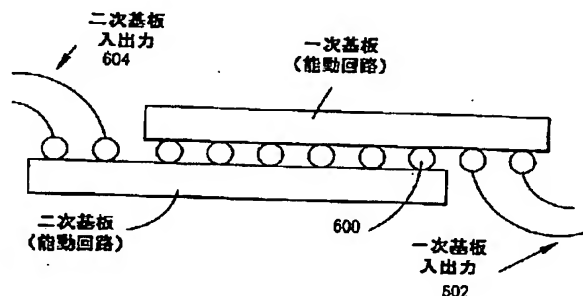
最終頁に続く

(54) 【発明の名称】 集積回路のクロック・スキューを最小にするシステムおよび方法

(57) 【要約】

【課題】 精密で高度に制御可能なクロック分配網を一方の能動基板（二次基板）上に設け、フリップ・チップ技術を利用して基板を互いに対向させて接続することにより、最小のスキューを有するクロック信号を、別の能動基板（一次基板）に分配する。

【解決手段】 クロック分配基板（二次基板）がまばらであるため、まばらな基板上に「低雑音パス」が形成され、比較的長い距離の高速データ転送が容易になる。一方の基板（二次基板）上に低電力デバイス（たとえば、DRAM）を形成し、別の基板（一次基板）上の大電力論理回路（たとえば、プロセッサ）がそれを最小の相互接続距離で使用することができる。



【特許請求の範囲】

【請求項1】能動構成要素をそれぞれ有する一次チップおよび二次チップを含むシステムであって、前記一次チップおよび二次チップが、少なくとも二次チップ上の入出力パッドがシステム外部の接続手段にアクセスできるように互いに対向して接続されていることを特徴とするシステム。

【請求項2】一次チップと二次チップが、はんだボールを介して結合されることを特徴とする、請求項1に記載のシステム。

【請求項3】一次チップの面が、二次チップの面よりも面積が小さいことを特徴とする、請求項1に記載のシステム。

【請求項4】一次チップと二次チップが、ずれた形で対向して接続されることを特徴とする、請求項1に記載のシステム。

【請求項5】前記一次チップが論理回路を含み、前記二次チップがクロック分配網を含むことを特徴とする、請求項1に記載のシステム。

【請求項6】前記クロック分配網が、規則正しい格子上に配置された葉ノードを有するファンアウト・ツリーであり、前記葉ノードがそれぞれ入出力ドライバ回路を含み、前記入出力ドライバ回路がそれぞれ、前記葉ノードに対応する前記格子点に中心を配置された入出力パッドを駆動し、前記入出力パッドがそれぞれ、一次チップ上の対応する入出力パッドに接続され、前記一次チップ上の前記入出力パッドがクロック入力として働き、前記クロック入力がそれぞれ、その入力に近接しかつその入力に結合された記憶素子をゲートするために使用されることを特徴とする、請求項5に記載のシステム。

【請求項7】前記入出力ドライバ回路の少なくとも1つが、さらに、クロック入力を固定時間だけ遅延させる制御手段を含むことを特徴とする、請求項6に記載のシステム。

【請求項8】前記制御手段が、いくつかの固定時間のうちの1つを指定する状態情報を記憶し、前記状態情報が、走査動作により設定可能な記憶手段によって保持されることを特徴とする、請求項7に記載のシステム。

【請求項9】前記一次チップと二次チップの少なくとも一方が、1つまたは複数の金属配線段上に非能動領域および未使用配線トラック領域を含み、前記配線トラック内の複数の配線が共通アースに接続され、それにより前記配線トラック内のいくつかの配線が前記接地された配線によってシールドされることを特徴とする、請求項1に記載のシステム。

【請求項10】前記シールドされた配線が、データ信号を伝送するために使用されることを特徴とする、請求項9に記載のシステム。

【請求項11】能動高インピーダンスのプレチャージ回路と、入力信号を配線の送信端にゲートする回路とをさ

らに含み、前記プレチャージ回路が、配線の電圧を論理レベル0と1の中間のレベルに保持し、前記ゲート制御回路が、クロック・パルスによって定期的に開閉されて、前記入力信号をサンプリングし、前記入力信号の状態に応じて前記伝送手段が信号パルスを低雑音環境で送ることができるようにすることを特徴とする、請求項8に記載のシステム。

【請求項12】前記二次チップが、前記シールドされた配線トラックを含むことを特徴とする、請求項9に記載のシステム。

【請求項13】前記シールドされた配線トラックが、信号を伝送するために使用されることを特徴とする、請求項12に記載のシステム。

【請求項14】能動高インピーダンスのプレチャージ回路と、入力信号を配線の送信端にゲートする回路とをさらに含み、前記プレチャージ回路が、配線の電圧を論理レベル0と1の中間のレベルに保持し、前記ゲート制御回路が、クロック・パルスによって周期的に開閉されて、前記入力信号をサンプリングし、前記入力信号の状態に応じて前記伝送手段が小信号パルスを低雑音環境で送ることができるようにすることを特徴とする、請求項13に記載のシステム。

【請求項15】前記伝送手段が、前記一次チップ上の素子間で信号を伝送するために使用されることを特徴とする、請求項14に記載のシステム。

【請求項16】前記二次チップがDRAMを含むことを特徴とする、請求項1に記載のシステム。

【請求項17】一次チップを受けるためのトレンチを有する三次チップをさらに含み、二次チップが、前記三次チップ上の入出力パッドが、システム外部の接続手段とアクセスできるように三次チップに対向して接続されることを特徴とする、請求項1に記載のシステム。

【請求項18】第2の一次チップをさらに含み、前記一次チップがそれぞれ、少なくとも前記二次チップ上の入出力パッドが、チップの前記システム外部の接続手段にアクセスできるように二次チップに対向して接続されることを特徴とする、請求項1に記載のシステム。

【請求項19】各一次チップを受けるためのトレンチを有する三次チップをさらに含み、二次チップが、前記三次チップ上の入出力パッドがシステム外部の接続手段にアクセスできるように三次チップに対向して接続されることを特徴とする、請求項18に記載のシステム。

【請求項20】4段以上の階層を有する階層接続されたチップのシステムであって、階層の各段において、前記各段にあるチップが、下段の階層のサブシステムを受けるためのトレンチを有し、前記下段の階層のそれぞれのうち最も高い段のチップが、前記段のチップのいくつかの入出力パッドが階層の前記段よりも上の接続手段にアクセスできるように前記段のチップに対向して接続されることを特徴とするシステム。

【請求項21】1つまたは複数の金属配線段上に非能動領域および未使用配線トラック領域を含み、前記配線トラック内の複数の配線が共通アースに接続され、それにより前記配線トラック内のいくつかの配線が、前記接地された配線トラックによってシールドされる集積回路チップ。

【請求項22】クロック信号をチップ上の複数の受信点に分配し、前記受信点で受け取った前記クロック信号のスキューを最小にする方法であって、一次チップの表面を横切る規則正しい格子上に前記受信点用の入出力パッドを配置する段階と、クロック分配網の出力が、前記二次チップの表面を横切る規則正しい格子上に配置された入出力パッドであり、二次チップ上の前記格子が一次チップ上の格子の鏡像となるように、二次チップ上にクロック分配網を構成する段階と、前記一次チップを前記二次チップと対向して結合する段階とを含む方法。

【請求項23】前記クロック分配網を、前記二次チップ上のあらゆるファンアウト点からどの方向へも等しい負荷および配線長さでファンアウトする対称的なツリーとして実施する段階をさらに含み、前記入出力パッドが前記ツリーの葉ノードであることを特徴とする、請求項22に記載の方法。

【請求項24】前記葉ノードのそれぞれにドライバ回路を配置する段階を含むことを特徴とする、請求項23に記載の方法。

【請求項25】前記ドライバ回路のうちの少なくとも1つのドライバ回路の状態入力に応答する制御手段を提供し、前記ドライバ回路を、前記状態入力によって決定された固定時間だけ遅延させる段階をさらに含むことを特徴とする、請求項24に記載の方法。

【請求項26】前記ドライバ回路を制御するために使用される状態入力情報を保持する手段を提供する段階をさらに含むことを特徴とする、請求項25に記載の方法。

【請求項27】複数の前記受信点への前記クロック信号の到着を測定し、前記複数の受信点間の前記クロック信号のスキューが最小になるように相対的遅延を変化させることによって、前記ドライバが前記変更した状態に応答するように前記状態保持手段に記憶された状態を変化させる段階をさらに含むことを特徴とする、請求項26に記載の方法。

【請求項28】チップ上の信号配線の低雑音環境を作り出す方法であって、チップ上の非能動表面領域を横切って前記信号配線を配設する段階と、同一の配線面内で前記信号配線の近傍に接地配線を配設する段階と、隣り合った配線面上で前記信号配線の近傍に接地配線を配設する段階と

を含む方法。

【請求項29】前記信号配線を、小信号が低雑音値を断続的に擾乱させるようにする高インピーダンス回路を介して、論理レベル0と1の間の低雑音値にたえず能動的にプレチャージする段階と、

小信号値を断続的に前記信号配線の送信端にゲートして、データ入力に応じて前記低雑音値を擾乱させる段階と、

前記信号配線の受信端で小信号を受け取る段階とをさらに含むことを特徴とする、請求項28に記載の方法。

【請求項30】第1の回路素子と第2の回路素子とを有する一次チップを提供する段階と、

二次チップ上に高速信号配線を配設する段階と、

前記一次チップを前記二次チップに対向して結合する段階と、

前記一次チップ上の前記第1の素子から前記はんだボールを介して前記二次チップに前記信号を送る段階と、

前記二次チップ上の前記高速信号配線を利用して伝送を容易にする段階と、

前記二次チップ上の前記高速信号配線の受信端において、前記信号を、前記はんだボールを介して前記一次チップに、さらに前記一次チップ上の前記第2の素子に送る段階とを含むことを特徴とする、請求項29に記載の方法。

【請求項31】フリップ・チップ技術を利用して論理チップをDRAMチップに対向して結合する段階を含む、論理チップとDRAMの間の伝送距離を最小にする方法。

【請求項32】マルチチップ・システムを作成する方法であって、

第2のチップの表面上のいくつかの入出力パッドが2チップ・システムの外部の接続部にアクセス可能な状態のままにしながら、第1のチップの上面の入出力パッドを第2のチップの上面の入出力パッドに接続する方式で、フリップ・チップ技術を利用して、第1のチップの上面を第2のチップの上面に結合することにより2チップ・システムを作成する段階と、

第3のチップ内に、前記第1のチップを受けるのに十分な大きさのトレンチを形成する段階と、

前記第1のチップが前記第3のチップの前記トレンチに挿入されるように、前記第2のチップの上面を前記第3のチップの上面に結合する段階とを含み、前記結合段階が、フリップ・チップ技術を利用して、前記第3のチップ上の上面のいくつかの入出力パッドが3チップ・システムの外部の接続部にアクセス可能な状態のままにしながら、前記第2のチップの上面の前記アクセス可能な入出力パッドを前記第3のチップの上面の入出力パッドに接続することを特徴とする方法。

【請求項33】第3のチップの上面を第4のチップの上面に結合する段階をさらに含み、第4のチップが、4チ

ップ・システムを形成するために第1および第2のチップを受けるトレンチを有することを特徴とする、請求項32に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路のパッケージングに関し、詳細には、集積回路におけるクロック・スキューを最小にするためのパッケージング・システムおよび方法に関する。

【0002】

【従来の技術】フリップ・チップ技術は、しばしば崩壊制御チップ接続(C4: Controlled Collapse Chip Connection)技術と呼ばれ、十分に確立されており、チップを第2段パッケージ(基板)に接続するために広く利用されている。基本的に、この技術は、チップと基板とを相互接続するために、チップの入出力パッドにはんだボールを配置する段階と、チップを裏返す段階と、チップを同じパッド・パターンを有する基板にはんだ付けする段階とを必要とする。図1に、このタイプの製品の例を概略的に示す。はんだボールおよびC4技術に関する考察については、R. ツマラ(Tumala)とE. リマシェフスキ(Rymaszewski)による、Microelectronics Packaging Handbook, Von Nostrand Reinhold, 1989年と、「Solder Ball Connect Technology」、IBM J.of Res. and Dev., Vol.37, No.5, 1993年9月, pp.581~676を参照されたい。

【0003】歴史的には、基板は、第2段パッケージ(すなわち、配線レベルを有する受動的物体)だけであった。そのような基板は、セラミック、ガラス・セラミック、または平坦なシリコンであった。基板の目的は、単に基板上のチップ間に配線手段を提供することであ

った。【0004】プロセッサは、ラッチ(システムの「状態」を保持する)と、システムの次の状態を「計算」するために現在の状態と外部入力に対して作用する論理回路を含む。クロックがすべてのラッチに全く同時に作用し、それによりこの新しく計算された状態への遷移が瞬時に完了することが理想である。

【0005】実際には、クロックが、すべてのラッチを全く同時にヒットできないこともあるため、すべてのラッチが全く同時に切り換わるわけではない。第1のラッチの出力が第2のラッチへの入力に(直接あるいは論理回路を介して)影響を及ぼし、クロックが第1のラッチに到着する瞬間がクロックが第2のラッチに到着する瞬間に対して値(+/-)Xだけずれる可能性がある場合は、第2のラッチがXだけ早すぎる時間にデータを捕捉する可能性を許容するために、公称サイクル時間(装置のワースト・ケース遅延経路)をXだけ長くしなければならない。実際には、第1のラッチが想定時間よりもXだけ遅い時間に関連データを捕捉している可能性がある

ので、公称サイクル時間を2Xだけ長くしなければならない。これは、クロック・スキューの1つの性能上の影響であり、プロセッサの様々な部分へのクロック信号の到着に関連する不確実性を反映させるためにプロセッサの公称サイクル時間に追加される要素である。

【0006】クロック信号は、チップへの一次入力である。クロック信号は、発振器パルスである。実際の中央演算処理装置(CP)チップにおいては、通常、このクロックによって数万個のラッチがゲートされる。代表的なゲートのファンアウトがfで、n個のラッチがある場合は、元のクロック・パルス(チップへの一次入力)とそのクロックによってゲートされるラッチとの間に $\log_e(n)$ 個の中間ドライバ段階がなければならない。実際のシステムでは、10段もあることもある。

【0007】これらのリドライバ段がファンアウト・ツリーで実施されるとき、ツリーの様々な枝が根から異なる距離にあり、全く同数のラッチを駆動するわけではないため、非対称になる。つまり、配線長さが異なり、負荷が異なる。これらは、クロック・スキューの主な要因であり、サイクル時間が早くなるほど大きな問題になる。

【0008】マイクロプロセッサのシリコン面積のほとんどが能動なので、中間リドライバ段を理想的な位置に配置することはできず、代わりに「余白」のある場所に配置される。これが非対称性の一因となる。

【0009】カスタム・デザインの複雑なマイクロプロセッサにおいては、シリコンの表面にクロック・リドライバ段を規則的なパターンで「ばらまく」ことはできない。クロック・ドライバ回路を規則的に「ばらまく」と、論理回路の物理的データ流れを妨げることになり、これによりサイクル時間が損なわれる。したがって、スキューを減らすことは難しく、実際の1チップ・プロセッサにおいてスキューを無視できるほど小さくすることは不可能である。

【0010】

【発明が解決しようとする課題】本発明の目的は、C4技術を利用して、今後二次基板(またはチップ)と呼ぶ一方の能動基板上に、精密でかつ高度に制御可能なクロック分配網を形成し、スキューが最小の分配網を介して、クロック信号を、今後一次基板(またはチップ)と呼ぶ別の能動基板に分配することである。一般に、一次基板は密に配置され、多量の電力を消散し、二次基板は疎で、あまり電力を消散しないことに留意されたい。

【0011】本発明の他の目的は、疎な二次基板上に「低雑音パス」を提供し、一次基板上の点へのデータの高速転送を容易にすることである。

【0012】本発明の他の目的は、一次基板上の大電力論理回路(たとえば、プロセッサ)に使用するために、二次基板上に他の小電力周辺ハードウェア(たとえば、DRAM)を提供することである。

【0013】本発明の他の目的は、同じC4技術によって三次（さらにそれよりも高次の）基板を提供することである。

【0014】

【課題を解決するための手段】本発明の1つの態様によれば、2つの能動チップ（すなわち、両方とも能動的な回路を含む）を接合することができる。これを行うためには、以下の2つの前提条件がある。

【0015】1. すべてのチップから発生する熱の合計が、除去できる熱よりも少ない。

【0016】2. チップはサイズが異なり、あるいは互いにずれた状態で接合される。このため、他のパッケージの接続手段とのチップ外接続に入出力パッドがアクセスできるようになるという利益が得られる。チップが同じサイズで、それらのチップが位置合せされ対向して接合される場合、入出力パッドにアクセスできなくなる。小さなチップが大きなチップに接合される場合、または同じサイズのチップが互いにずらして接合される場合は、別の基板へのワイヤ・ボンディングのためにチップ表面の一部分にアクセスすることができる。実際には、最小のチップを受けるために第3の表面にトレンチが設けられている場合は、2つのチップのうち大きな方のチップ上のパッドを、同じC4技術を利用して第3のさらに大きな基板に接合することができる。

【0017】本発明のさらに別の態様は、大量の電力を消散する可能性のある密で複雑な論理チップ（たとえば、マイクロプロセッサ）を、あまり電力を消散しない疎なアクティブのチップに結合するものである。

【0018】密度が疎な二次チップは、クロック信号を厳密に制御した形で分配するために、また一次チップの表面よりも高速で低雑音環境で動作できる長いバス用の低雑音媒体として、またオプションの他のタイプの低電力デバイス（たとえば、DRAM）用に使用することができる。これにより、より高性能の通信とより良好なスキュー制御がシステム・レベルで提供され、その結果パッケージが安価になるので有用である。

【0019】

【発明の実施の形態】既存のシングル・チップ・マイクロプロセッサ・システムでは、クロック分配網がプロセッサ・チップ自体に埋め込まれている。これに対し、本発明によるシステムでは、一次基板は、クロック分配網のないマイクロプロセッサ・チップであり、クロック分配網が二次基板上に設けられる。2つのシステムに関連する回路は、したがって電力は同じであり、すなわち、本発明は本来的に電力または冷却の問題を生じないことに留意されたい。

【0020】さらに、二次基板上にクロック分配網しかない場合は、二次基板の能動領域は極めてまばらであり、クロック・ツリーのリドライブ・ノードを理想的に配置することができる。具体的には、リドライブ段が対

称位置に配置されており、すべての配線長さおよび負荷がツリー全体で同じである。前に説明したように、これは、クロック分配網がマイクロプロセッサ・チップと一体となった実際のマイクロプロセッサ・チップでは不可能である。

【0021】本発明において、密度の高い一次基板（たとえば、マイクロプロセッサ）は、概念的に多数の正方形「タイル」（たとえば、1mm×1mm以下）に分割され、各タイルの中心に、クロック入力パッドが配置される。タイル内のすべてのラッチは、タイルの中心にあるクロック・パッドによって駆動される。図2に、そのような構成を示す。

【0022】具体的には、図2は、16×16個のタイルに区分された16mm×16mmのチップを示し、各タイルは1mm×1mmの正方形である。各タイルの中心に、入出力パッド200が示されている。この入出力パッドは、ローカル・クロック入力パッドであり、そのタイル内のすべてのラッチを駆動する。この図では、入出力パッドからラッチまでのワーストケース・マンハッタン距離は1mmである。

【0023】これらの入出力パッドへのクロック入力、一次チップ論理回路用のクロック分配回路を含む二次基板上で等しい位置にある入出力パッドへのはんだボール接続を介して提供される。二次基板上のクロック分配網はまばらであるため、二次基板上のすべてのドライバ・パッドへの、したがって一次基板上のすべてのタイルへの一次クロック信号の同時到着を、極めて小さな公差の範囲内で保証することができる。これは、クロック分配網が一体となった既存のマイクロプロセッサでは不可能である。

【0024】さらに、二次基板上の回路がきわめてまばらなので、スキュー制御がさらに良好に行えるように、クロック・トリミング／較正回路をクロック分配網に埋め込むことができる。したがって、本発明により、クロック分配の設計が簡単になり、同時にスキューをなくすことによりサイクル時間が改善される。

【0025】たとえば、図3には、16mm×16mmのチップ面積のタイル内の50μm×400μmの長方形300が示されている。これらの長方形は、各タイルに付随するクロック・トリミング／較正回路に必要な領域を示す。これらの長方形内の回路は、頑丈なクロック・トリミング／較正を提供するのに十二分であり、必要とされる面積がごくわずかであることが図から明らかである。

【0026】図4は、2進ツリーの形で構成した二次基板上のクロック・ツリーの好ましい配線レイアウトを示す。一次クロック入力402から各葉ノード400までの距離がまったく同じであり、各ファンアウト・ノードから各方向にファンアウトする負荷も全く同じであることに留意されたい。各葉ノードには、葉ノードの出力ビ

10

20

30

40

50

ンを駆動するドライバ回路（図示せず）が配置されている。

【0027】クロック・トリミング回路（または制御手段）は走査専用制御ラッチを含み、その状態によって、この回路は、このクロック信号をファンアウトする前に、基準（入力クロック）信号に対してクロック・エッジを後戻りさせる。図3の各タイルはそれ自体の状態制御ラッチを有し、これらのラッチはすべて、二次基板上の単一走査リングで接続される。さらに、本発明によれば、一次（または二次）基板上の伝送されたクロック信号をブロープし、走査リングによってクロック・エッジを調整することによりクロック・スキューを制御することができる。これは標準の技法である。

【0028】図9の回路は、以下のよう動作する。図9のトリミング回路において、シフトされる大域クロック信号が、コース遅延回路903の入力901に到着する。コース遅延回路は、入力信号を100psだけ遅延させる遅延素子を含む。マルチプレクサ905は、遅延信号と非遅延信号を選択するが、どちらを選択するかは制御ラッチ900aによって制御される。マルチプレクサ905の出力は、25psの増分で信号を遅延させる遅延素子も含む微細遅延回路904に提供される。マルチプレクサ902は、所望の出力信号を選択するが、この選択は制御ラッチ900bと900cによって制御される。マルチプレクサ902の出力は、回路904に入力された信号を25psの整数倍だけ遅延させた信号である。

【0029】疎な二次基板を設けることによって可能になった本発明のもう1つの特徴は、二次基板上で「低雑音バス」を使用できることである。この低雑音バス技術は、一次基板上で行うことはできない。一次基板上では金属レベルが多く利用され、周囲の雑音が大きすぎてその技術が役に立たないからである。

【0030】具体的には、クロック分配網は、使用可能な配線チャンネルのわずかな部分しか必要としないため、二次基板上の（おそらく、いくつかの金属レベル全体を含めて）ほとんどの配線チャンネルを接地することができ、実際に二次基板を横切って流れる少数の信号に対してシールド（低雑音）環境を提供する。

【0031】図5は、低雑音バス上の信号配線を示す。環境が高シールドされているので、配線を、極めて高インピーダンスのプレチャージ回路500によって中間電圧レベルまでプレチャージすることができる。このプレチャージ回路にはたえずリークがあるが、高インピーダンスのために漏れは低く抑えられる。この回路は、結合された雑音がプレチャージされた回路をどちらの方向へもランダムにかなり容易にブルすることができるので、雑音の多い環境では使用できない。

【0032】配線への入力、静止入力の短いサンプルをとるクロック式バスゲート502であり、バスがその

プレチャージ状態に近い静止点に達する前に、その小さなサンプルが、プレチャージされたバスを迅速に適切な方向にブルできるようにする。その結果、配線の特性インピーダンスに関係する速度の進行波が生じる。この信号は、ドライバ回路が配線を充電する（雑音の多い環境における標準的な伝送手段である。）よりもはるかに速く遠端に達する。小信号パルスは、遠端で標準ドライバ504によって静止信号に変換される。

【0033】低雑音バスのまわりに雑音の多い環境を作り出さないという条件で、二次基板上のスペースが許す場所に、他の低電力回路を配置することができる。プロセッサ・チップが、大きなL2キャッシュのように機能する専用DRAMを有するシステムがますます多く提案されるようになってきている。このようなシステムでは、マイクロプロセッサとL2キャッシュは別個のチップであり、マルチチップ・モジュール（MCM）上に近接して装着される。

【0034】2つのチップが互いに隣り合っている場合、ワーストケースの信号移動距離は、おおよそチップ「ピッチ」3つ分（チップの3辺分）であり、効率良く設計することにより2チップ・ピッチに抑えることができることもある。

【0035】しかし、L2がDRAMである場合は、一般にスタンバイ電力が極めて小さく、本発明に従ってDRAMを二次基板と一体化し、冷却の問題を生じることなくCPチップに直接結合することができる。この状況におけるワーストケースの距離は、2チップ・ピッチで決定され、効率良い設計により1チップ・ピッチ未満にまで抑えることができることもある。

【0036】この技術は、有限キャッシュ効果を低減させることによりシステム性能を改善する。（「1命令あたりのサイクル数」（CPI）に対する「有限キャッシュ」の寄与というプロセッサの性能評価尺度は、オンチップ・キャッシュのミス率（1命令あたりのミス数）と、オフチップ・メモリ階層へのアクセスに関連するミス損失（1ミスあたりのサイクル数）の積である。このミス損失の1つの成分は、CPチップからL2に行き、そこから戻ることにより生じる遅延である。）また、多サイクル遅延を単一サイクルに還元することも潜在的に可能であり、それによってパイプライン処理が改善され、二次的な性能上の利益が得られる。

【0037】図6ないし図8に、本発明による様々な実施形態を示す。

【0038】図6において、一次基板と二次基板は、サイズが同程度であるが、外部接続用の一次基板の入出力ピン602と二次基板の入出力ピン604が露出するように、はんだボール600を介してずらして結合されている。前述のように、一次基板と二次基板は共に能動回路を担持する。

【0039】図6において、一次基板は二次基板よりも

少し小さく、外部接続用の二次基板の入出力ピンが露出している。この場合も、一次基板と二次基板は共に能動回路を担持する。

【0040】本発明は、図8に示したように、三次（およびさらに高次の）基板を含むように拡張することもできる。図8の実施形態は、一次基板800、二次基板802および三次基板804を含む。一次基板と二次基板は、対応する入出力パッドの所に配置されたはんだボール806によって結合される。第2の基板からの外部入出力パッド808が、同じC4（フリップ・チップ）技術を利用して三次基板上のパッドに結合される。この接続を容易にするために、一次基板を収容するトレンチを三次基板に設けることもできる。三次基板の外部入出力ピン810が外部接続用に露出されている。

【0041】本発明によって提供されるもう1つの利点は、パッケージが安価になることである。プロセッサ／DRAMの場合には、従来の技術を使用したマルチチップ・モジュール（第2段パッケージ）が必要であるが、そのような第2段パッケージは、第3段パッケージ（たとえば、カード）が収容しなければならない2つのチップに比例する面積を必要とする。

【0042】本発明に従って作成されたプロセッサ／DRAMシステムにおいては、第2段パッケージ自体はなく、DRAMの二次基板が、プロセッサの一次基板の「キャリア」となっている。そのプロセッサ／DRAM単一パッケージ・エンティティは、第3段のパッケージに直接ワイヤボンディングまたはC4結合することができ、必要な面積は、二次基板の面積（すなわち、単一チップの面積）にのみ比例する。今日このようなシステムに使用されている第3段パッケージで、本発明によって作成されるシステムを2倍も収容することができる。

【0043】本発明を、特に、その好ましい実施形態に関して説明してきたが、頭記の特許請求の範囲によって定義される本発明の精神および範囲から逸脱することなく、開示した実施形態に修正を加えることができることを理解されたい。

【0044】まとめとして、本発明の構成に関して以下の事項を開示する。

【0045】（1）能動構成要素をそれぞれ有する一次チップおよび二次チップを含むシステムであって、前記一次チップおよび二次チップが、少なくとも二次チップ上の入出力パッドがシステム外部の接続手段にアクセスできるように互いに対向して接続されていることを特徴とするシステム。

（2）一次チップと二次チップが、はんだボールを介して結合されることを特徴とする、上記（1）に記載のシステム。

（3）一次チップの面が、二次チップの面よりも面積が小さいことを特徴とする、上記（1）に記載のシステム。

（4）一次チップと二次チップが、ずれた形で対向して接続されることを特徴とする、上記（1）に記載のシステム。

（5）前記一次チップが論理回路を含み、前記二次チップがクロック分配網を含むことを特徴とする、上記（1）に記載のシステム。

（6）前記クロック分配網が、規則正しい格子上に配置された葉ノードを有するファンアウト・ツリーであり、前記葉ノードがそれぞれ入出力ドライバ回路を含み、前記入出力ドライバ回路がそれぞれ、前記葉ノードに対応する前記格子点に中心を配置された入出力パッドを駆動し、前記入出力パッドがそれぞれ、一次チップ上の対応する入出力パッドに接続され、前記一次チップ上の前記入出力パッドがクロック入力として働き、前記クロック入力がそれぞれ、その入力に近接しかつその入力に結合された記憶素子をゲートするために使用されることを特徴とする、上記（5）に記載のシステム。

（7）前記入出力ドライバ回路の少なくとも1つが、さらに、クロック入力を固定時間だけ遅延させる制御手段を含むことを特徴とする、上記（6）に記載のシステム。

（8）前記制御手段が、いくつかの固定時間のうちの1つを指定する状態情報を記憶し、前記状態情報が、走査動作により設定可能な記憶手段によって保持されることを特徴とする、上記（7）に記載のシステム。

（9）前記一次チップと二次チップの少なくとも一方が、1つまたは複数の金属配線段上に非能動領域および未使用配線トラック領域を含み、前記配線トラック内の複数の配線が共通アースに接続され、それにより前記配線トラック内のいくつかの配線が前記接地された配線によってシールドされることを特徴とする、上記（1）に記載のシステム。

（10）前記シールドされた配線が、データ信号を伝送するために使用されることを特徴とする、上記（9）に記載のシステム。

（11）能動高インピーダンスのプレチャージ回路と、入力信号を配線の送信端にゲートする回路とをさらに含み、前記プレチャージ回路が、配線の電圧を論理レベル0と1の中間のレベルに保持し、前記ゲート制御回路が、クロック・パルスによって定期的に開閉されて、前記入力信号をサンプリングし、前記入力信号の状態に応じて前記伝送手段が信号パルスを低雑音環境で送ることができるようにすることを特徴とする、上記（8）に記載のシステム。

（12）前記二次チップが、前記シールドされた配線トラックを含むことを特徴とする、上記（9）に記載のシステム。

（13）前記シールドされた配線トラックが、信号を伝送するために使用されることを特徴とする、上記（12）に記載のシステム。

(14) 能動高インピーダンスのプレチャージ回路と、入力信号を配線の送信端にゲートする回路とをさらに含み、前記プレチャージ回路が、配線の電圧を論理レベル0と1の中間のレベルに保持し、前記ゲート制御回路が、クロック・パルスによって周期的に開閉されて、前記入力信号をサンプリングし、前記入力信号の状態に応じて前記伝送手段が小信号パルスを低雑音環境で送ることができるようにすることを特徴とする、上記(13)に記載のシステム。

(15) 前記伝送手段が、前記一次チップ上の素子間で信号を伝送するために使用されることを特徴とする、上記(14)に記載のシステム。

(16) 前記二次チップがDRAMを含むことを特徴とする、上記(1)に記載のシステム。

(17) 一次チップを受けるためのトレンチを有する三次チップをさらに含み、二次チップが、前記三次チップ上の入出力パッドが、システム外部の接続手段にアクセスできるように三次チップに対向して接続されることを特徴とする、上記(1)に記載のシステム。

(18) 第2の一次チップをさらに含み、前記一次チップがそれぞれ、少なくとも前記二次チップ上の入出力パッドが、チップの前記システム外部の接続手段にアクセスできるように二次チップに対向して接続されることを特徴とする、上記(1)に記載のシステム。

(19) 各一次チップを受けるためのトレンチを有する三次チップをさらに含み、二次チップが、前記三次チップ上の入出力パッドがシステム外部の接続手段にアクセスできるように三次チップに対向して接続されることを特徴とする、上記(18)に記載のシステム。

(20) 4段以上の階層を有する階層接続されたチップのシステムであって、階層の各段において、前記各段にあるチップが、下段の階層のサブシステムを受けるためのトレンチを有し、前記下段の階層のそれぞれのうち最も高い段のチップが、前記段のチップのいくつかの入出力パッドが階層の前記段よりも上の接続手段にアクセスできるように前記段のチップに対向して接続されることを特徴とするシステム。

(21) 1つまたは複数の金属配線段上に非能動領域および未使用配線トラック領域を含み、前記配線トラック内の複数の配線が共通アースに接続され、それにより前記配線トラック内のいくつかの配線が、前記接地された配線トラックによってシールドされる集積回路チップ。

(22) クロック信号をチップ上の複数の受信点に分配し、前記受信点で受け取った前記クロック信号のスキューを最小にする方法であって、一次チップの表面を横切る規則正しい格子上に前記受信点用の入出力パッドを配置する段階と、クロック分配網の出力が、前記二次チップの表面を横切る規則正しい格子上に配置された入出力パッドであり、二次チップ上の前記格子が一次チップ上の格子の鏡像となるように、二次チップ上にクロック分

配網を構成する段階と、前記一次チップを前記二次チップと対向して結合する段階とを含む方法。

(23) 前記クロック分配網を、前記二次チップ上のあらゆるファンアウト点からどの方向へも等しい負荷および配線長さでファンアウトする対称的なツリーとして実施する段階をさらに含み、前記入出力パッドが前記ツリーの葉ノードであることを特徴とする、上記(22)に記載の方法。

(24) 前記葉ノードのそれぞれにドライバ回路を配置する段階を含むことを特徴とする、上記(23)に記載の方法。

(25) 前記ドライバ回路のうちの少なくとも1つのドライバ回路の状態入力に応答する制御手段を提供し、前記ドライバ回路を、前記状態入力によって決定された固定時間だけ遅延させる段階をさらに含むことを特徴とする、上記(24)に記載の方法。

(26) 前記ドライバ回路を制御するために使用される状態入力情報を保持する手段を提供する段階をさらに含むことを特徴とする、上記(25)に記載の方法。

(27) 複数の前記受信点への前記クロック信号の到着を測定し、前記複数の受信点間の前記クロック信号のスキューが最小になるように相対的遅延を変化させることによって、前記ドライバが前記変更した状態に応答するように前記状態保持手段に記憶された状態を変化させる段階をさらに含むことを特徴とする、上記(26)に記載の方法。

(28) チップ上の信号配線の低雑音環境を作り出す方法であって、チップ上の非能動表面領域を横切って前記信号配線を配設する段階と、同一の配線面内で前記信号配線の近傍に接地配線を配設する段階と、隣り合った配線面上で前記信号配線の近傍に接地配線を配設する段階とを含む方法。

(29) 前記信号配線を、小信号が低雑音値を断続的に擾乱させるようにする高インピーダンス回路を介して、論理レベル0と1の間の低雑音値にたえず能動的にプレチャージする段階と、小信号値を断続的に前記信号配線の送信端にゲートして、データ入力に応じて前記低雑音値を擾乱させる段階と、前記信号配線の受信端で小信号を受け取る段階とをさらに含むことを特徴とする、上記(28)に記載の方法。

(30) 第1の回路素子と第2の回路素子とを有する一次チップを提供する段階と、二次チップ上に高速信号配線を配設する段階と、前記一次チップを前記二次チップに対向して結合する段階と、前記一次チップ上の前記第1の素子から前記はんだボールを介して前記二次チップに前記信号を送る段階と、前記二次チップ上の前記高速信号配線を利用して伝送を容易にする段階と、前記二次チップ上の前記高速信号配線の受信端において、前記信号を、前記はんだボールを介して前記一次チップに、さらに前記一次チップ上の前記第2の素子に送る段階とを

含むことを特徴とする、上記(29)に記載の方法。

(31) フリップ・チップ技術を利用して論理チップをDRAMチップに対向して結合する段階を含む、論理チップとDRAMの間の伝送距離を最小にする方法。

(32) マルチチップ・システムを作成する方法であって、第2のチップの表面上のいくつかの入出力パッドが2チップ・システムの外部の接続部にアクセス可能な状態のままにしながら、第1のチップの上面の入出力パッドを第2のチップの上面の入出力パッドに接続する方式で、フリップ・チップ技術を利用して、第1のチップの上面を第2のチップの上面に結合することにより2チップ・システムを作成する段階と、第3のチップ内に、前記第1のチップを受けるのに十分な大きさのトレンチを形成する段階と、前記第1のチップが前記第3のチップの前記トレンチに挿入されるように、前記第2のチップの上面を前記第3のチップの上面に結合する段階とを含み、前記結合段階が、フリップ・チップ技術を利用して、前記第3のチップ上の上面のいくつかの入出力パッドが3チップ・システムの外部の接続部にアクセス可能な状態のままにしながら、前記第2のチップの上面の前記アクセス可能な入出力パッドを前記第3のチップの上面の入出力パッドに接続することを特徴とする方法。

(33) 第3のチップの上面を第4のチップの上面に結合する段階をさらに含み、第4のチップが、4チップ・システムを形成するために第1および第2のチップを受けるトレンチを有することを特徴とする、上記(32)に記載の方法。

【図面の簡単な説明】

【図1】 二次基板にC4結合された一次基板を示す図である。

【図2】 それぞれが中央に入出力パッドを備えた256個の正方形タイルに区分された16mm×16mmチップ*

* プを示す図である。

【図3】 16mm×16mmの格子上的256個のタイルのクロック駆動/較正回路を示す図である。

【図4】 2進ツリーとして実施されたクロック網の対称的配線方式を示す図である。

【図5】 本発明による低雑音バス上の配線を示す図である。

【図6】 本発明に従って構成された一次および二次パッケージの第1の実施形態を示す図である。

10 【図7】 本発明に従って構成された一次および二次パッケージの第2の実施形態を示す図である。

【図8】 本発明に従って結合された一次、二次および三次チップを示す図である。

【図9】 一定の時間だけクロック信号を遅延させるクロック・タイミング回路を示す図である。

【符号の説明】

200 入出力パッド

300 四角形

400 葉ノード

20 500 プレチャージ回路

502 クロック式バスゲート

504 標準ドライバ

600 はんだボール

602 入出力ピン

604 入出力ピン

800 一次基板

802 二次基板

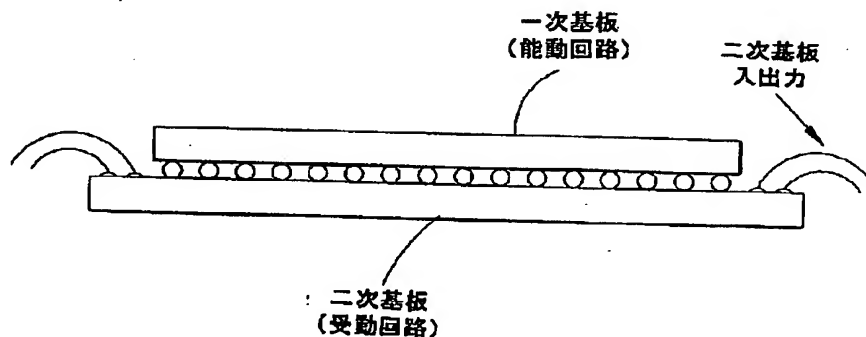
804 三次基板

806 はんだボール

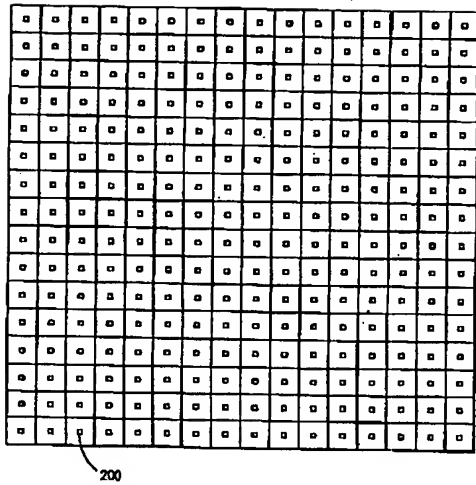
30 808 外部入出力パッド

810 外部入出力ピン

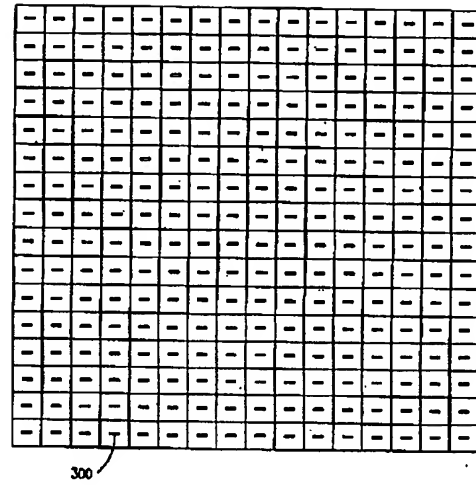
【図1】



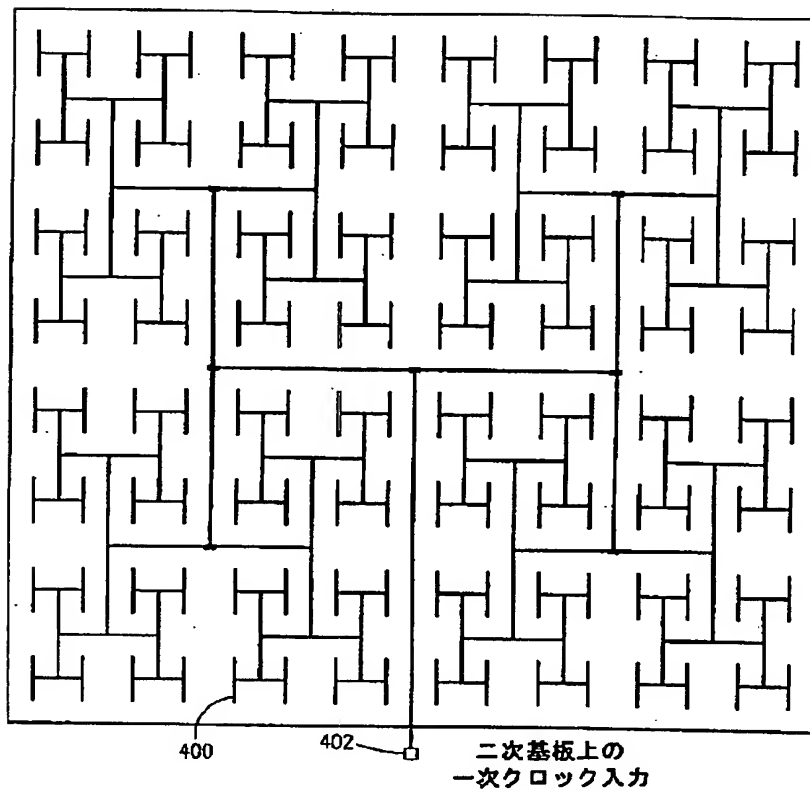
【図2】



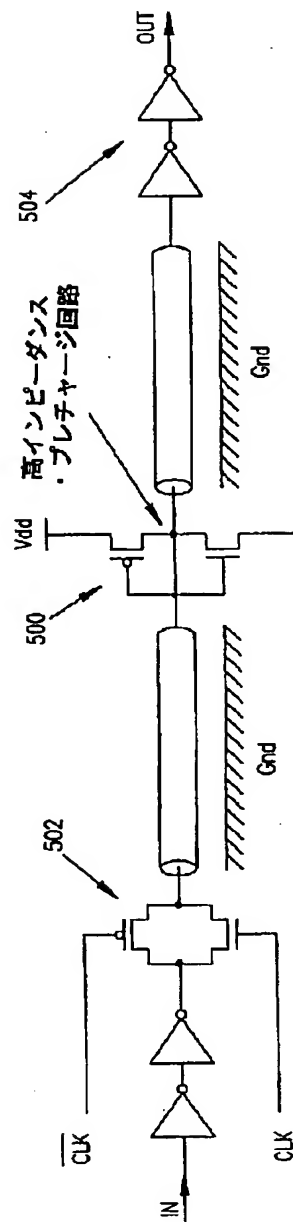
【図3】



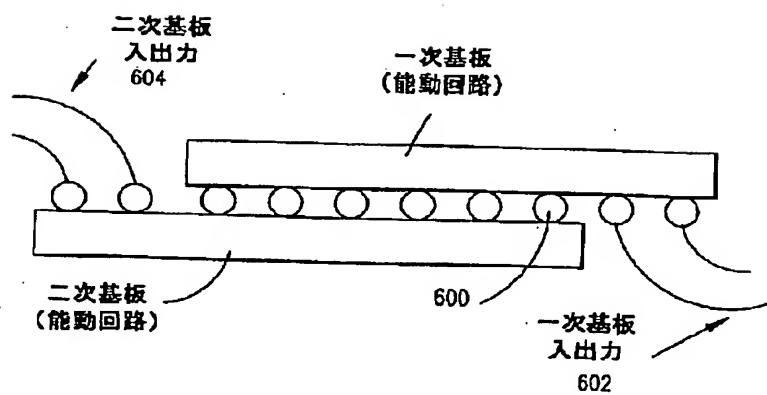
【図4】



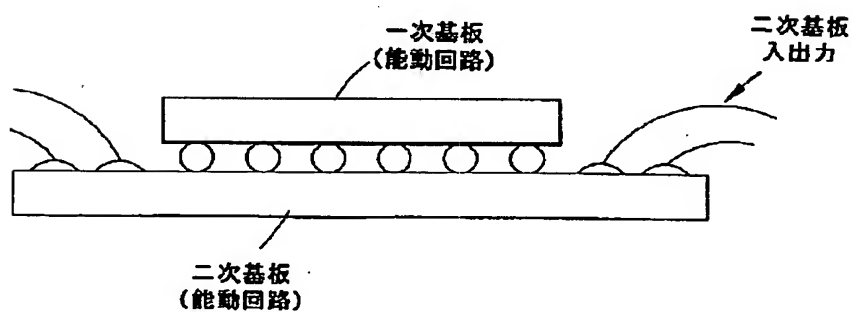
【図5】



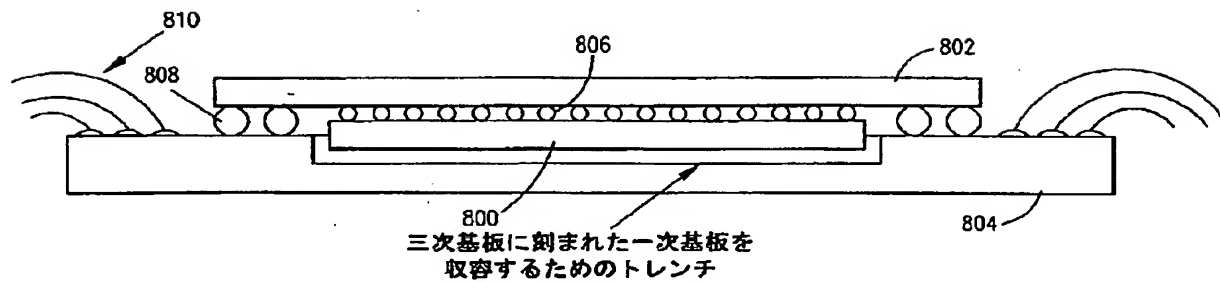
【図6】



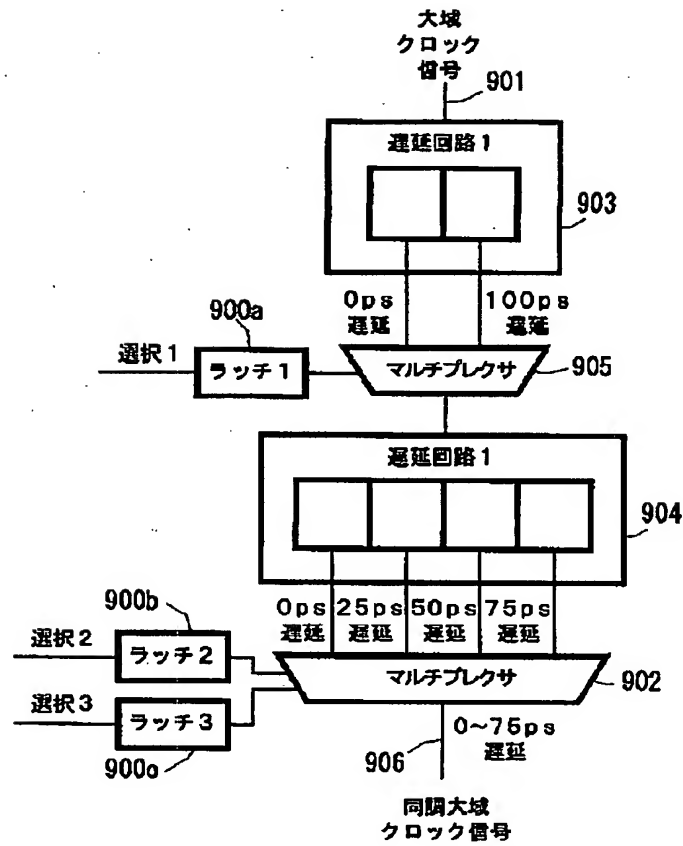
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 フィリップ・ジョージ・エマ
 アメリカ合衆国06811 コネチカット州ダ
 ンベリーフォックス・デン・ロード 28